



ELECINF102

Processeurs et Architectures Numériques

Contrôle de connaissances

16 Septembre 2013 à 14h00

Document autorisé : une feuille recto-verso

Durée: 1h30 minutes

Ce contrôle comporte 3 parties **indépendantes** :

1. Fibonacci
2. Générateur de fréquences
3. Techniques basse consommation

Consignes importantes : Les schémas demandés dans les différents exercices doivent être impérativement clairs, lisibles et sans ambiguïté. Les dimensions des bus doivent être indiquées. Si nécessaire le sens des signaux doit être précisé.

N'oubliez pas d'inscrire nom, prénom, et numéro de casier sur votre copie.

Bon courage !

1 Fibonacci

Nous désirons écrire le code SystemVerilog d'un circuit calculant sur 8 bits les nombres de la suite de Fibonacci : $U_n = U_{n-1} + U_{n-2}$, avec $U_1 = 1$ et $U_0 = 0$.

Nous analysons la proposition de code SystemVerilog ci-dessous. **Attention : nous n'avons aucune information sur la validité de ce code ainsi que les commentaires associés.**

```
module fibonacci(clk,
                reset_n,
                U);

    input logic    clk;
    input logic    reset_n;
    output logic [7:0] U;

    // Un-1 (= Un au cycle précédent)
    logic [7:0]    U_1;

    // Un-2 (= Un-1 au cycle précédent)
    logic [7:0]    U_2;

    always@(posedge clk or negedge reset_n)
        if(reset_n==0)
            begin
                U    <= 1;
                U_1 <= 1;
                U_2 <= 0;
            end
        else
            begin
                // Un = Un-1 + Un-2
                U    <= U_1 + U_2;
                // Un-1 = Un retardé d'un cycle
                U_1 <= U;
                // Un-2 = Un-1 retardé d'un cycle
                U_2 <= U_1;
            end
    end
endmodule
```

1. Donnez dans un tableau les valeurs de **U**, **U_1** et **U_2** aux 10 premiers cycles d'horloge (après relâchement du **reset_n**).
2. Tracez le schéma du circuit modélisé par ce code (l'horloge et le signal d'initialisation ne seront pas représentés).
3. Quelle est l'équation de la suite U_n générée ?
4. Corrigez le code SystemVerilog de façon à générer la suite de Fibonacci.

2 Générateur de fréquences

Il s'agit de construire un circuit capable de générer une horloge dont la fréquence est un sous-multiple de la fréquence f_{clk} d'une horloge de référence CLK . On ne traitera pas la remise à zéro du circuit.

2.1 Compteur binaire

Question 2.1.1 En considérant un compteur binaire sur 3 bits Q_0, Q_1, Q_2 (LSB = Q_0) qui compte en permanence, dessinez les chronogrammes de CLK, Q_0, Q_1 et Q_2 .

Question 2.1.2 Proposez un code SystemVerilog du compteur binaire 3 bits.

Question 2.1.3 Quelles sont les fréquences de Q_0, Q_1 et Q_2 par rapport à f_{clk} ?

Question 2.1.4 En déduire la fréquence de la sortie Q_{n-1} pour un compteur n bits.

2.2 Compteur binaire modulo K

Un compteur binaire modulo K compte de 0 à $K-1$ puis repasse à 0.

Question 2.2.1 Quel est le nombre de bits n que doit avoir le compteur modulo K ?

Question 2.2.2 En considérant un compteur binaire modulo 5 sur 3 bits Q_0, Q_1, Q_2 (LSB = Q_0) qui compte en permanence, dessinez les chronogrammes de CLK, Q_0, Q_1 et Q_2 .

Question 2.2.3 Proposez un code SystemVerilog du compteur binaire modulo 5.

Question 2.2.4 Quelles est la fréquence de Q_2 par rapport à f_{clk} ?

Question 2.2.5 En déduire la fréquence du MSB Q_{n-1} pour un compteur binaire modulo K ?

2.3 Compteur m-aire

Un compteur m-aire additionne, à chaque cycle d'horloge, la constante m à sa valeur courante.

Question 2.3.1 Représentez en décimal l'évolution de la sortie d'un compteur 3 bits m-aire avec $m = 3$.

Question 2.3.2 Proposez deux codes SystemVerilog du compteur m-aire ($m=3$) sur 3 bit. Une implémentation doit faire appel à de l'arithmétique, l'autre implémentation ne doit pas faire appel à l'arithmétique.

3 Techniques basse consommation

L'objectif de cet exercice est d'explorer des techniques architecturales permettant de réduire la consommation des circuits intégrés. Nous disposons d'une fonction de calcul combinatoire \mathbf{F} pour laquelle nous connaissons :

- Le temps de calcul T_{calc} en fonction de la tension d'alimentation V_{dd} (voir **figure 3**)
- L'énergie consommée par calcul E_{calc} en fonction de la tension d'alimentation V_{dd} (voir **figure 4**)

Puissance consommée par un opérateur de calcul est égale au produit de sa fréquence de fonctionnement F_{calc} par l'énergie consommée à chaque calcul :

- $P_{calc} = F_{calc} * E_{calc}$

3.1 Analyse d'une structure synchrone utilisant la fonction (F)

La **figure 1** présente une utilisation de la fonction (F) dans un environnement synchrone. La structure reçoit une suite de valeurs A_0, A_1, \dots et doit générer une suite de valeurs $\mathbf{F}(A_0), \mathbf{F}(A_1), \dots$

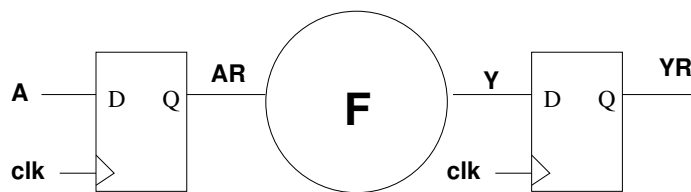


Figure 1 – Architecture synchrone

Question 3.1.1 Complétez le chronogramme de la **figure 5**.

Question 3.1.2 En négligeant le temps de propagation des bascules, déterminez la tension d'alimentation minimale V_{ref} permettant de faire fonctionner cette structure avec une horloge \mathbf{CLK} de fréquence $F_{ref} = 1GHz$.

Question 3.1.3 En négligeant la consommation des bascules, déterminez la puissance consommée par cette structure pour la tension V_{ref} et la fréquence F_{ref} . N'oubliez pas de préciser les unités...

3.2 Analyse d'une structure synchrone parallélisée

La **figure 2** présente une version parallélisée de l'architecture précédente, dans laquelle nous dédoublons la fonction \mathbf{F} .

Question 3.2.1 Complétez le chronogramme de la **figure 6**. N'oubliez pas la génération du signal \mathbf{EN} .

Question 3.2.2 Expliquez le fonctionnement de cette structure.

Question 3.2.3 Pendant combien de périodes de l'horloge \mathbf{CLK} chacune des données A_i est elle maintenue en entrée de l'une ou l'autre des fonctions \mathbf{F} ? De combien de temps dispose-t-on pour le calcul de chaque $\mathbf{F}(A_i)$ sachant que l'horloge a une fréquence $F_{ref} = 1GHz$? (on négligera le temps de propagation dans les multiplexeurs).

Question 3.2.4 Compte tenu du nouveau temps de calcul disponible, montrez qu'il est possible de diminuer la tension d'alimentation du montage tout en fixant la fréquence F_{ref} à $1GHz$. Déterminez la tension d'alimentation minimale V_{min} permettant de conserver cet fréquence de $1GHz$.

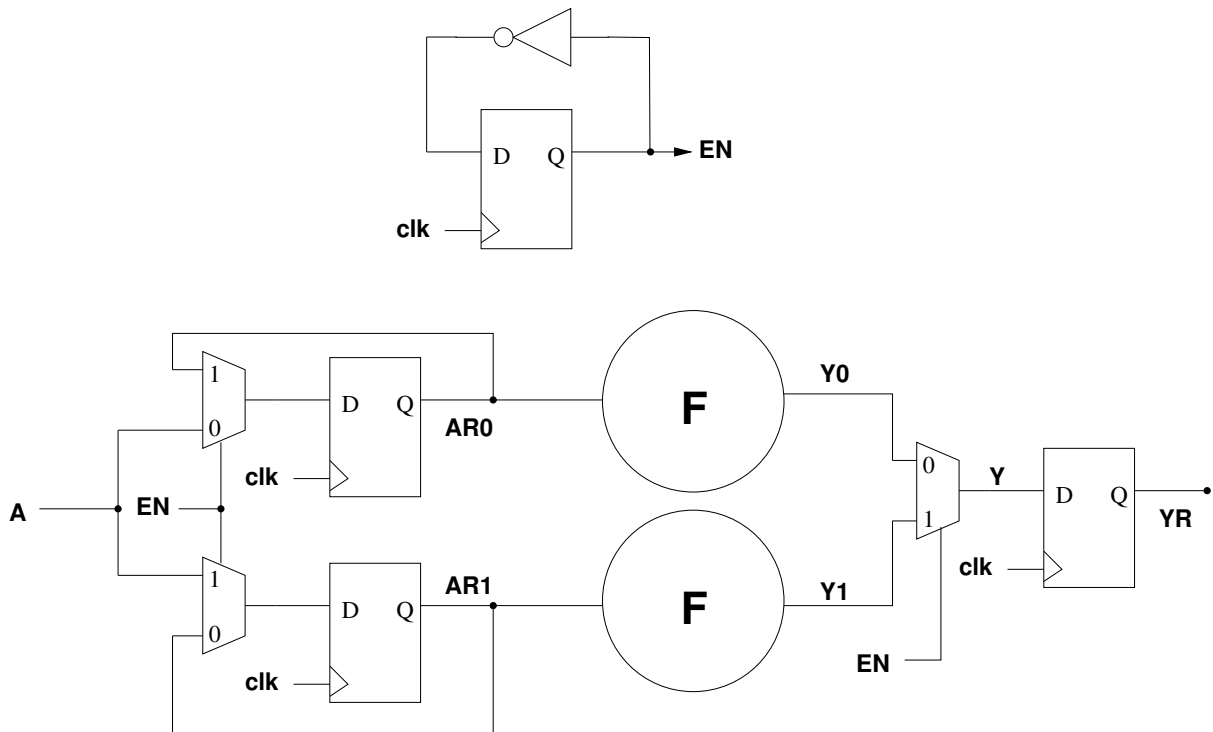


Figure 2 – Architecture synchrone parallèle

Question 3.2.5 En déduire l'énergie E_{min} consommée par la fonction F à la tension V_{min} . Puis la puissance totale consommée par la structure parallèle. N'oubliez pas la encore de préciser les unités.

Question 3.2.6 Nous avons utilisé une technique de parallélisme pour diminuer la consommation d'une structure de calcul synchrone. Pensez vous qu'une technique de pipeline (pipeline de la fonction F en deux sous-fonctions $F1$ et $F2$ de temps de calcul $T_{calc}/2$) permettrait d'obtenir un résultat similaire? Expliquez.

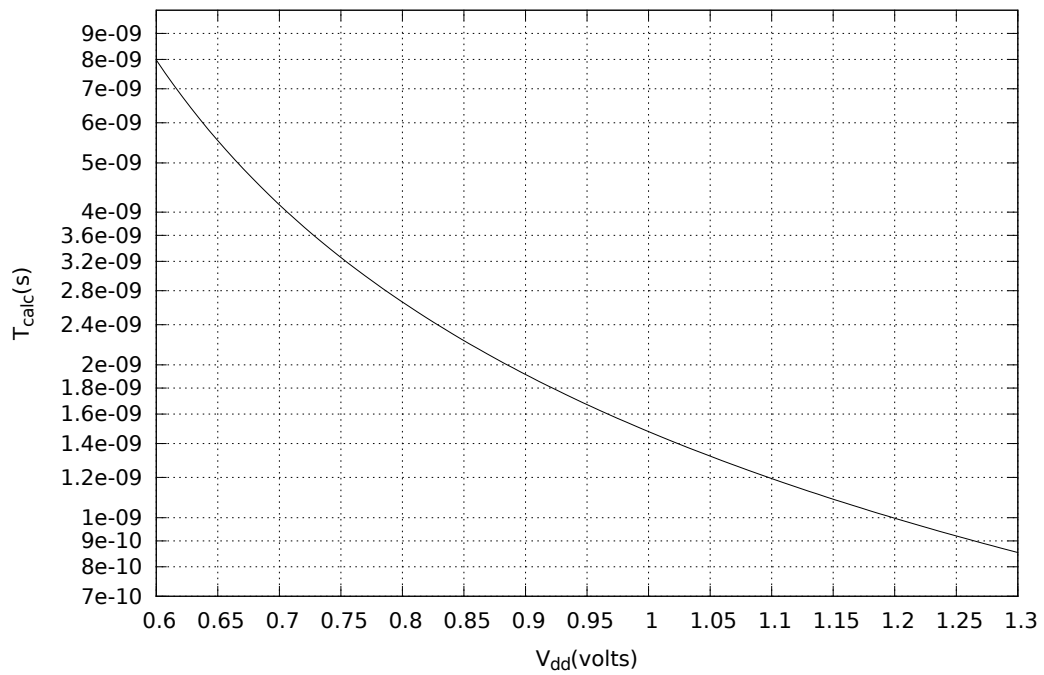


Figure 3 – Temps de calcul de la fonction F

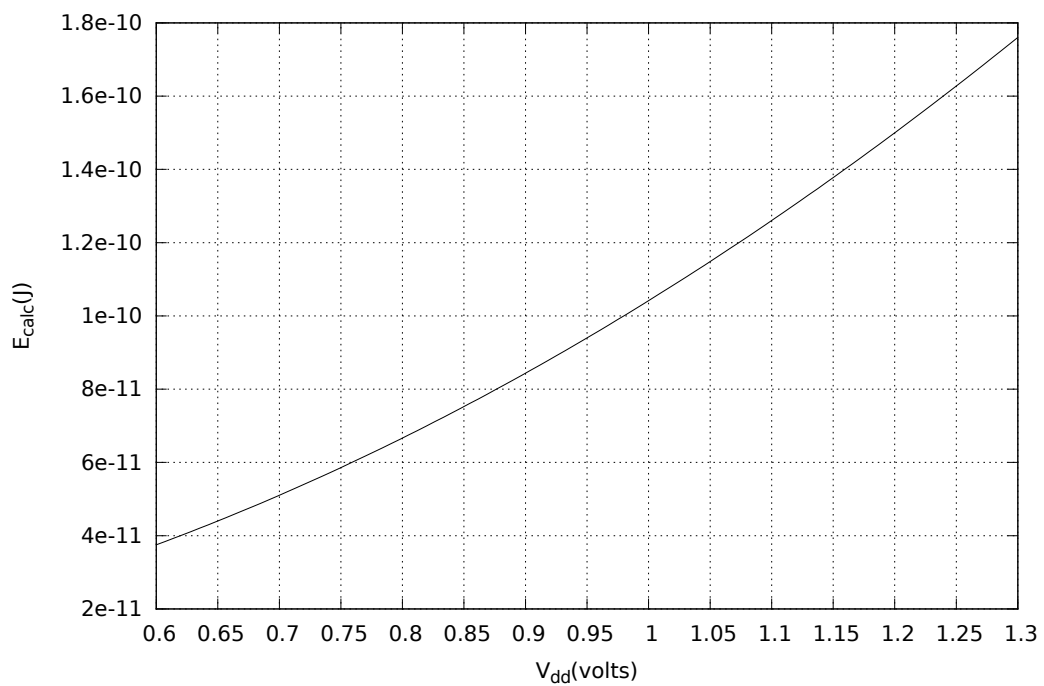


Figure 4 – Energie consommée par calcul de la fonction F

Nom / Prénom :
 Groupe :
 Numéro de casier :

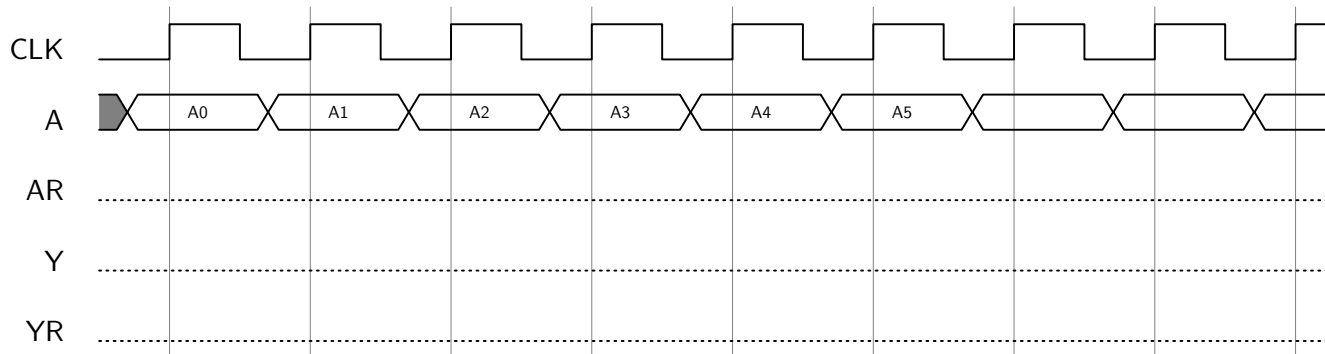


Figure 5 – Chronogramme de fonctionnement de la structure synchrone (Question 3.1.1)

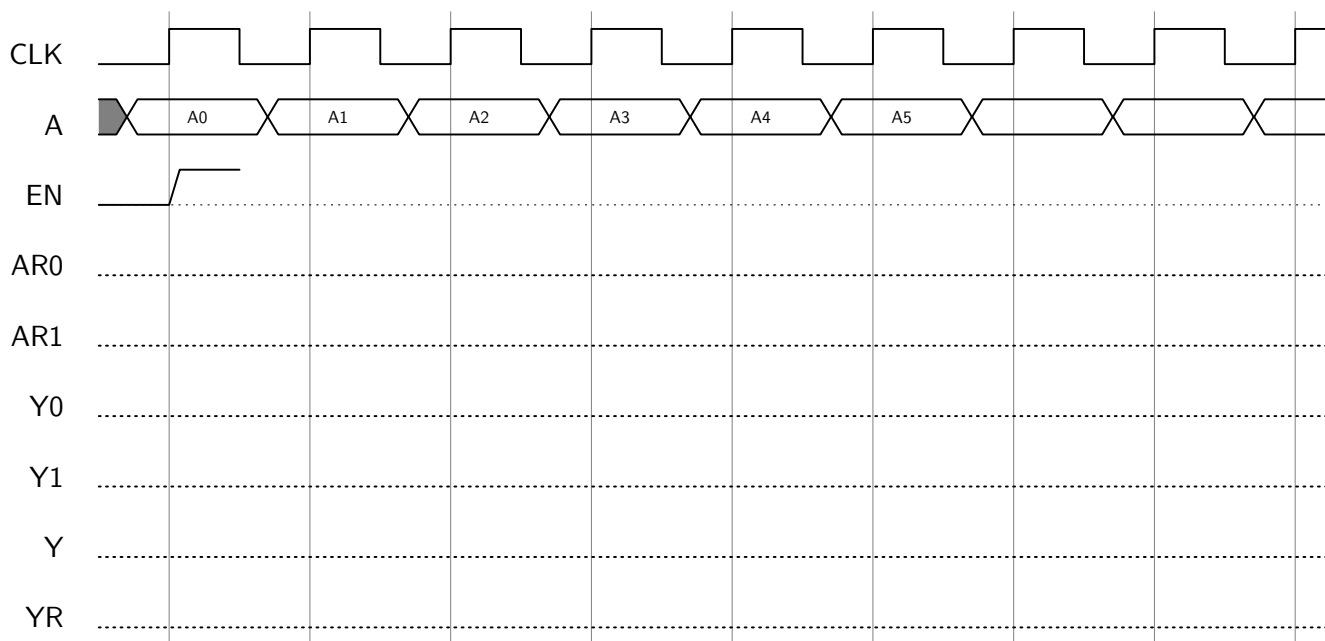


Figure 6 – Chronogramme de fonctionnement de la structure parallèle synchrone (Question 3.2.1)